

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 5 8 3 0 5 6 号

(45) 発行日 平成9年(1997)2月19日

(24) 登録日 平成8年(1996)11月21日

(51) Int. C.I.⁶
G 01 R 31/28
H 01 L 21/66

識別記号 庁内整理番号
F I
G 01 R 31/28
H 01 L 21/66

技術表示箇所
H
Z

発明の数 1

(全 8 頁)

(21) 出願番号 特願昭62-133813
(22) 出願日 昭和62年(1987)5月29日
(65) 公開番号 特開昭63-298176
(43) 公開日 昭和63年(1988)12月5日

(73) 特許権者 999999999
株式会社 アドバンテスト
東京都練馬区旭町1丁目32番1号
(72) 発明者 植田 基夫
東京都練馬区旭町1丁目32番1号 株式会社
アドバンテスト内
(72) 発明者 長谷川 真平
東京都練馬区旭町1丁目32番1号 株式会社
アドバンテスト内
(72) 発明者 清水 敏行
東京都練馬区旭町1丁目32番1号 株式会社
アドバンテスト内
(74) 代理人 弁理士 草野 卓

審査官 中塚 直樹

(54) 【発明の名称】 ICテストシステム

1

(57) 【特許請求の範囲】

【請求項1】 被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、
上記上位の処理装置から送られた命令を実行するに必要な各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、
上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとなりり、
上記複数の下位の処理装置は送られた上記命令を実行す

2

るに必要なプログラムが記憶された汎用記憶装置を備えている他に、その汎用記憶装置より小容量で、必ず特定の番地から書き込まれ、またその特定の番地から実行される補助記憶装置を備えているICテストシステム。

【発明の詳細な説明】

「産業上の利用分野」

この発明は階層構造をした分散型アーキテクチャを有するICテストシステムに関する。

「従来の技術」

10 第4図は従来のICテストシステムの構成例を示す図である。ICテストシステムでは、被試験素子を試験するテストシーケンスが記述されたプログラムが記憶装置(図示せず)に格納されており、中央処理装置11が記憶装置からそのテストプログラムを読み出して順次実行するように構成され、例えば半導体メモリ素子を試験するための

テスト動作の全てを中央処理装置11が制御するようになっている。

中央処理装置11には制御線12を通してハードウェアモジュール13A, 13B, 13C~13Nが接続されており、中央処理装置12がテストプログラムを解読して実行するに伴って出力する制御信号はこれらハードウェアモジュール13A, 13B, 13C~13Nに供給される。

その制御信号は、例えば、被試験素子の所定の入力端子に対して5.25Vの直流信号を供給するための制御信号であり、この制御信号が供給されると、例えばハードウェアモジュール13Aは5.25Vの直流信号を被試験素子の指定された入力端子に対して供給する。

また、中央処理装置11が出力する制御信号は例えば信号を測定することを指令する制御信号であり、直流電圧を測定するための例えばハードウェアモジュール13Bは、この制御信号が供給されると、被試験素子の指定された出力端子に接続され、その信号電圧を測定する。

これ等のハードウェアモジュール13A, 13B, 13C~13Nはマイクロプロセッサ14が組み込まれていてもよい。汎用の論理素子だけで試験回路を組むと膨大な個数の論理素子を必要としても、論理回路の多くの部分をマイクロプロセッサ14で組むことにより回路基板を小型に構成することができる。この場合のマイクロプロセッサ14は単なる論理素子の代替えであり、予め決められたシーケンス制御をするだけであって、複雑な判断機能が必要とされるような使い方は一般にしてない。

「発明が解決しようとする問題点」

中央処理装置はプログラムの解読と実行、つまり、被試験素子の試験を行うための制御信号をハードウェアモジュールなどに出力すると共に、被試験素子が出力する信号の測定及び測定結果の良否の判定など、ICテストシステムの動作に必要とされるあらゆる演算制御を行う必要がある。

例えば、テストプログラムに記述されている電圧信号を被試験素子に供給する場合には、中央処理装置はそのデジタルデータ値をハードウェアモジュールに供給したり、被試験素子の出力信号を測定する場合には、得られた測定値を必要に応じて補正換算し、所定の判定表と比較して良否の判定をしたり或いはランク付けをすることもある。

従って、中央処理装置が必要とする演算処理の時間が長くなり、テストシステムの試験速度を容易には上げることができない。

また、記憶装置に格納されている所定のプログラムを実行中に、臨時に特別な処理をさせる場合には、その臨時処理プログラムを記憶装置に書込んで、書込まれた臨時プログラムに中央処理装置の実行を移すようにすれば特別な処理をさせることはできる。しかし、このような臨時処理をさせるには複雑な制御ステップを必要とするし、処理効率も悪い。

またICテストシステムでは一台の中央処理装置に全てのシステム制御を任せると試験速度が遅くなるので、複数の処理装置を用いて構成する分散処理システムを考えることもできる。このような分散処理装置システムでは、或る処理装置、例えば主処理装置が他の処理装置に臨時的なプログラムを実行させる場合に、共有記憶装置或いは対象処理装置に付属する記憶装置に臨時的プログラムを書き込み、対象処理装置はその書き込まれたプログラムを読み出して実行するように構成できる。この場合でも、その臨時プログラムを記憶装置の空いている領域に書き込み、その書き込まれたプログラムへ対象処理装置の実行が移り、実行が終了すると、再び元の制御プログラムの実行へ戻る、というよう複雑な制御ステップを経る必要があり、臨時処理の実行効率が落ちるという問題がある。

「問題点を解決するための手段」

この発明のICテストシステムは、被試験素子の入力端子への制御信号の設定命令、被試験素子の出力端子からの出力信号の測定命令などの実行命令が行単位で記録されたテストプログラムを行単位で読み出してその読み出した命令を複数の下位の処理装置へ送る上位の処理装置と、

上記上位の処理装置から送られた命令を実行するに必要とする各種制御乃至処理を、上記命令に応じたプログラムを読み出して、複数のハードウェアモジュールに対して行う上記複数の下位の処理装置と、

上記下位の処理装置からの制御乃至処理に応じて被試験素子にテスト信号を接続したり、被試験素子の出力信号を測定したりする上記複数のハードウェアモジュールとよりなり、

上記複数の下位の処理装置は送られた上記命令を実行するに必要なプログラムが記憶された汎用記憶装置を備えている他に、その汎用記憶装置より小容量で、必ず特定の番地から書き込まれ、またその特定の番地から実行される補助記憶装置を備えている。

「発明の作用」

この発明の構成によれば、上位の処理装置はテストプログラムの行単位での実行するを制御し、プログラム行の実際の解読及び実行は専用の複数の処理装置によって分散して行われる。

更に、この発明の構成によれば、下位の処理装置が所定の制御プログラムを実行中に、一時的或いは暫定的なプログラムの実行へ効率的に変更させることが可能である。

「実施例」

第1図はこの発明のICテストシステムの構成例を示すブロック図である。この例では、ICテストシステムは記憶装置に格納されているテストプログラムの実行するを制御する上位の処理装置21と、この上位の処理装置21に制御バス22を介してその制御の下にプログラム行の実際の実行をする複数の下位の処理装置23A, 23B, 23C~23N

と、これ等下位の処理装置23A, 23B, 23C~23Nに制御線24A, 24B, 24C~24Nを通して制御されるハードウェアモジュール25A, 25B, 25C~25Nとで階層的に構成される。

即ち、被試験素子を試験するテストプログラムは試験の手順が行単位で記述され、上位処理装置21はそのテストプログラムを行単位で記憶装置から順次読出し、その読出したプログラム行について実行するを制御する。

この上位の処理装置21には複数の下位の処理装置23A, 23B, 23C~23Nが接続されており、上位処理装置21は被試験素子のテスト状態をみながら読出したプログラム行を実行するかどうかを決め、実行するを決めたプログラム行の実際の実行は下位に接続された処理装置23A, 23B, 23C~23Nの何れかに委ねられる。

下位の各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号を制御するに適した専用の処理装置であり、それぞれに接続されているハードウェアモジュール25A, 25B, 25C~25Nのいずれかにアクセスしたりテスト状態（端子の接続や測定器の状態）等を変更したりするのに便利な命令語体系をもち、且つマクロ命令化されている。従って、上位処理装置21が自分の命令語体系を用いてハードウェアモジュール25A, 25B, 25C~25Nに対して同じ処理を直接するより数十倍の処理速度が得られるように構成されている。

下位の各処理装置23A, 23B, 23C~23Nは上位の処理装置21からプログラム行の実行を委嘱されると、そのプログラム行を解読し、プログラム行の実行に入る。つまり、各処理装置23A, 23B, 23C~23Nは被試験素子に対するテスト信号を入出力する手順が記述された制御プログラムを、記憶装置27に保持しており、与えられたプログラム行の解読結果によりその制御プログラムを記憶装置27から読出して、プログラム行に記述されている信号の入出力制御をする手順を実行する。

また、各処理装置23A, 23B, 23C~23Nは、上位処理装置21から実行の委嘱を受けたプログラム行をそのまま実行するだけではなく、プログラム行を解読し、その解読結果に対して、被試験素子に対して予め情報が与えられている機能条件、例えば、最小クロック幅、入力条件、タイミング関係或いは禁止条件などをチェックし、誤った入力信号を与えてしまったり、甚だしくは被試験素子の破損を招くような信号状態に陥ることがないように判断しながら被試験素子に試験信号を出力し或いは出力信号の測定を行う制御をすることもしている。

一方、各ハードウェアモジュール25A, 25B, 25C~25Nは下位の各処理装置23A, 23B, 23C~23Nのプログラム行の実行に伴う制御信号が供給され、被試験素子の指定された入力端子に対してテスト信号を出力したり或いは被試験素子の指定された出力端子からの信号を測定することができる。

このハードウェアモジュール25A, 25B, 25C~25Nはマイクロプロセッサ26を含んでいてもよい。このマイクロプロ

ロセッサ26は、多数の論理素子を置き換えたもので複雑な判断をする必要のない決められたシーケンスを行うものである。このマイクロプロセッサ26は汎用のプロセッサが使用され、その動作が予めプログラミングされていて、処理装置23A, 23B, 23C~23Nからの命令により被試験素子に対する信号の入出力を制御することができる。

以上のように下位の各処理装置23A, 23B, 23C~23Nは上位の処理装置21の制御の下に被試験素子に対する試験の実際の処理の全てを実行し、上位の処理装置21は下位の各処理装置23A, 23B, 23C~23Nのプログラム行の実行制御及び試験の良否判定結果の収集など、ICテストシステム全体が機的に動作するように制御する。

更にこの発明では、下位の各処理装置23A, 23B, 23C~23Nには、上位の処理装置21から与えられたプログラム行を実際に解読して実行するための制御プログラムが格納されている記憶装置27A, 27B, 27C~27Nの他に、それぞれ補助記憶装置28A, 28B, 28C~28Nが設けられ、それら各補助記憶装置28A, 28B, 28C~28Nに臨時的なプログラムが上位の処理装置21から書込むことができるよう構成される。

第2図はこの発明の要部の例を示す構成図である。下位の処理装置23には汎用記憶装置27と補助記憶装置28とが設けられる。汎用記憶装置27には、上位の処理装置21から与えられるプログラム行を実行するに際し、ハードウェアモジュール25A, 25B~25Nを制御するための制御プログラムが格納され、他方、補助記憶装置28は小容量の記憶装置であって制御プログラムによる制御を変更するため等の臨時的なプログラムが一時的に格納される。その臨時プログラムは制御バス22を通して上位の処理装置21から供給され、補助記憶装置28の特定の番地、例えば0番地から書込むことができるよう構成される。

下位の処理装置23は補助記憶装置28の特定の番地、例えば0番地から臨時プログラムを読出して実行する。従って、下位の処理装置はこの臨時プログラムを実行するために、アドレスの退避及び新たなアドレス設定などをする必要もなく直ちに臨時プログラムの実行に移ることができるので、下位の処理装置23による変更制御を速やかに行うことが可能である。

第3図Aはこの発明による臨時処理の流れ図を示す図である。即ち、上位の処理装置21は、臨時のプログラムの書き込み先のアドレスを探す必要なく、対象とする下位の処理装置23が保持している補助記憶装置28に対して、

①：先頭番地（0番地）から臨時のプログラムを書き込む。

②：所定の書き込みが終了したら下位の処理装置23に臨時処理の実行を指示する。

このプログラムの臨時書き換え機能は、被試験素子に対する試験を実行中でも随意に行うことができる。試験中

の被試験素子の状況に応じて試験条件などを変更しながらテストを進めることができる。例えば、試験動作中において得られた測定値に応じて次の試験条件を定めたい場合には、その測定値に応じて変更されたプログラムを補助記憶装置28に書き込むことで対応させることができる。また、例えば、或る単位数ごとに被試験素子に対する試験条件を変更したいこともある。このような場合でも、その所定数の被試験素子を試験するときにだけ変更したプログラムを書き込むことで、他と区別した特殊試験を課すことができる。

これに対して、補助記憶装置28が設けられていない場合の臨時処理をする流れ図は第3図Bに示すようになる。つまり、上位の処理装置21は汎用記憶装置27のどの領域に臨時のプログラムを書き込んだら良いのかを知るために、メモリ管理ルーチンを呼び出して実行する。即ち、

- ①：メモリ管理ルーチンの中で汎用記憶装置27に残されている空きメモリ領域を探す。
- ②：割り当てられたアドレスを設定する。
- ③：そのアドレスを歩進させながら臨時のプログラムを汎用記憶装置27に書き込む。
- ④：所定の書き込みが終了したら下位の処理装置23に実行アドレスを伝達し、臨時処理の実行を指示する。

以上のように、この発明の補助記憶装置28を設ければ、ICテストシステムの制御の変更が容易に且つ効率良く行えることが、2つの流れ図での比較によっても明瞭である。

また、制御プログラムを変更したり或いはそのデバッ

グをするにも、この発明の構成によれば、上位の処理装置から変更プログラムを補助記憶装置に容易に書き込むことができ、しかも実時間でのデバッグが可能となる利点もある。

「発明の効果」

以上に説明したように、この発明によれば、上位の処理装置は専らプログラム行の実行するを制御し、プログラム行の実際の実行は下位の複数の処理装置に分散して行われる階層構造による構成を採る。このような分散型

10 アーキテクチャによって処理速度の向上を図ると共に、各階層毎に最適な命令語体系が使用され、制御信号が出力されるまでの処理が非常に早くなり、被試験素子に対する試験動作を高速にすることができる。

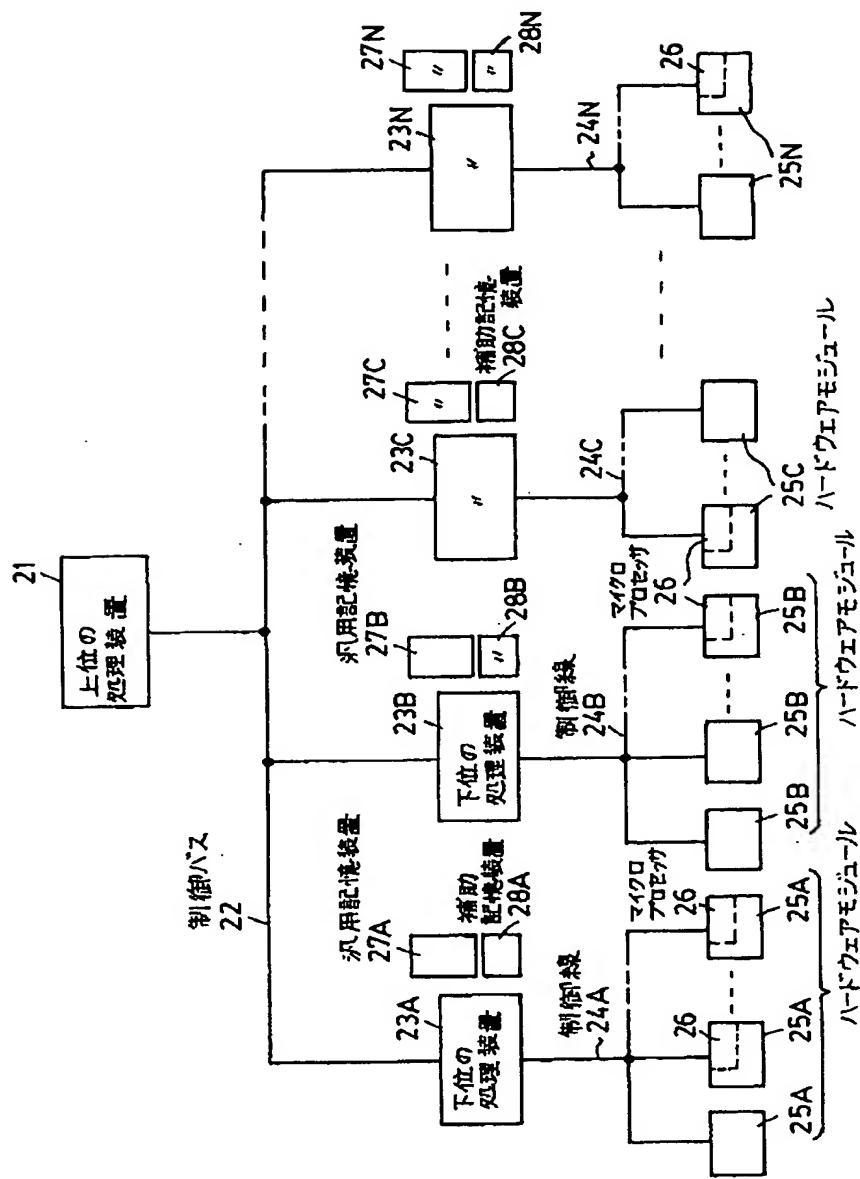
また、この発明の構成によれば、被試験素子に対する試験の実行中に、その状況に応じた試験処理の変更を試験速度を殆ど落とすことなく可能にするものであり、被試験素子に対する試験を高速に実行することができる。

【図面の簡単な説明】

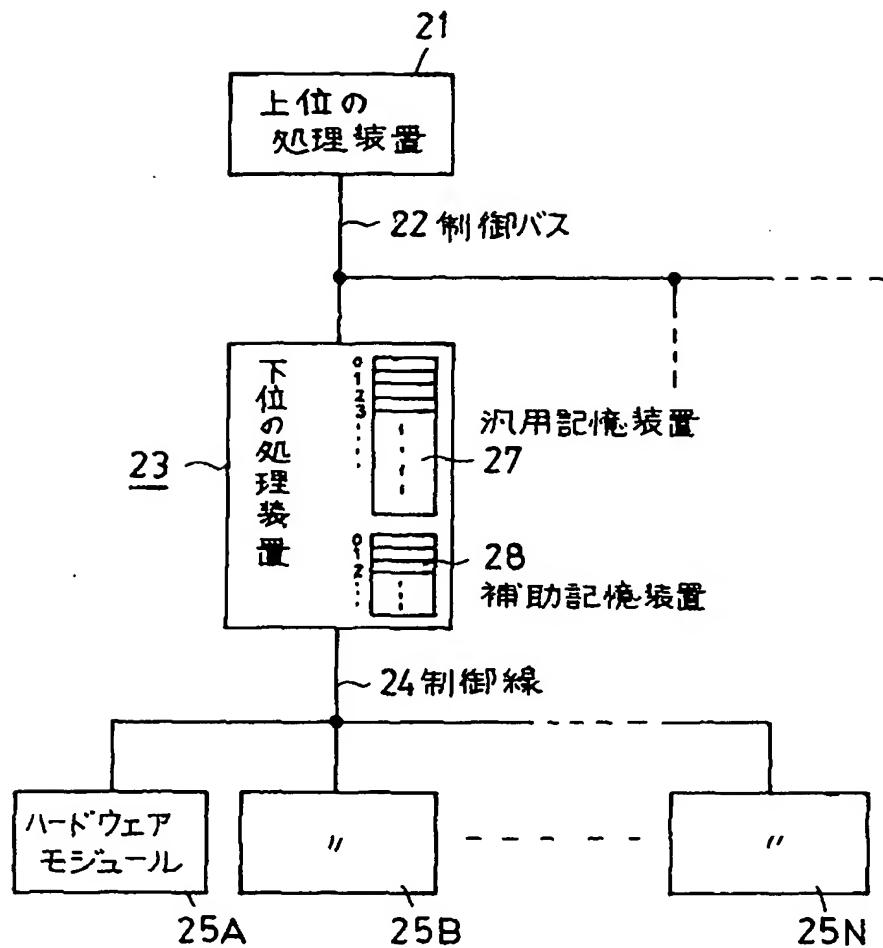
第1図はこの発明の実施例を示す構成図、第2図はこの発明の要部の例を示す図、第3図A及びBは臨時処理に関するこの発明の流れ図及び従来の流れ図、第4図は従来のICテストシステムの構成例を示す図である。

11:中央処理装置、12:制御線、13:ハードウェアモジュール、14:マイクロプロセッサ、21:上位の処理装置、22:制御バス、23:下位の処理装置、24:制御線、25:ハードウェアモジュール、26:マイクロプロセッサ、27:汎用記憶装置、28:補助記憶装置。

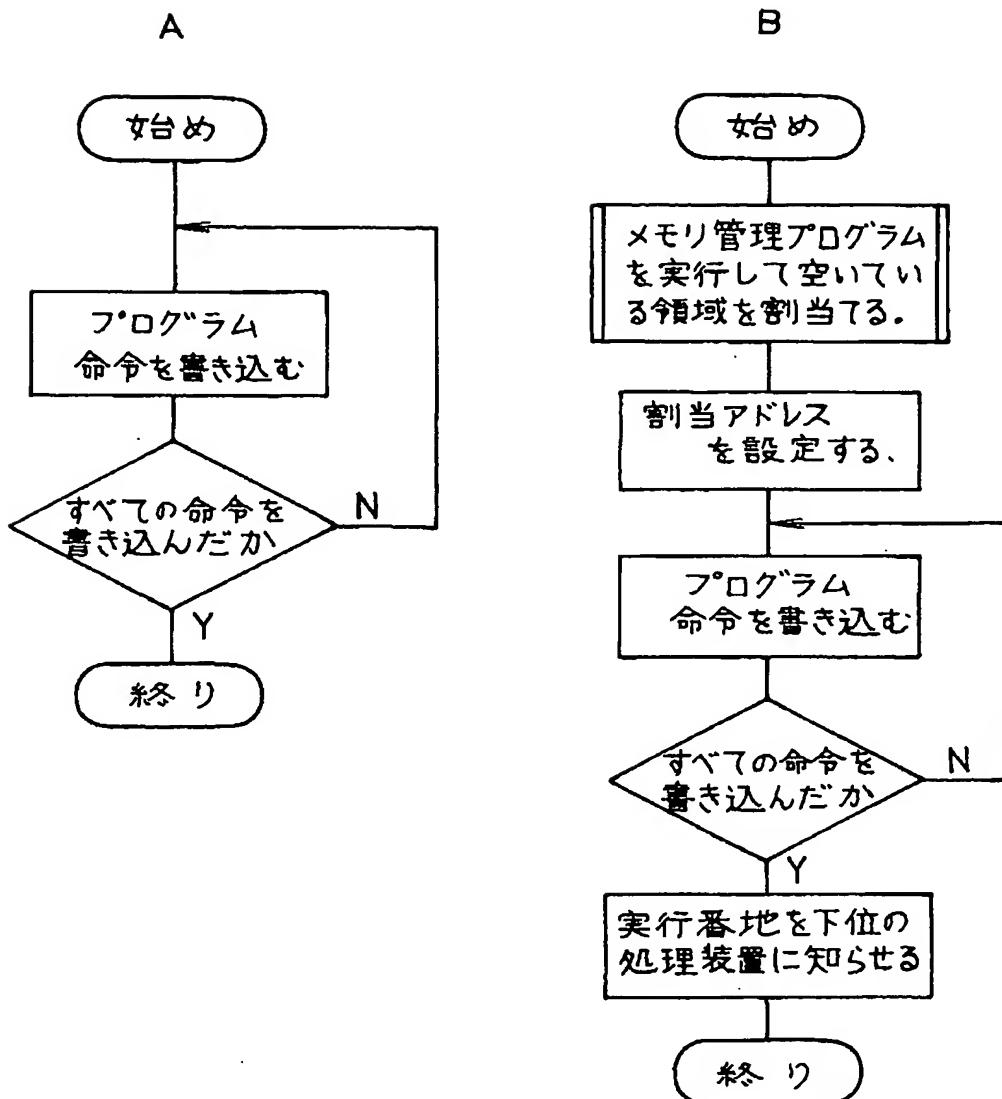
【第1図】



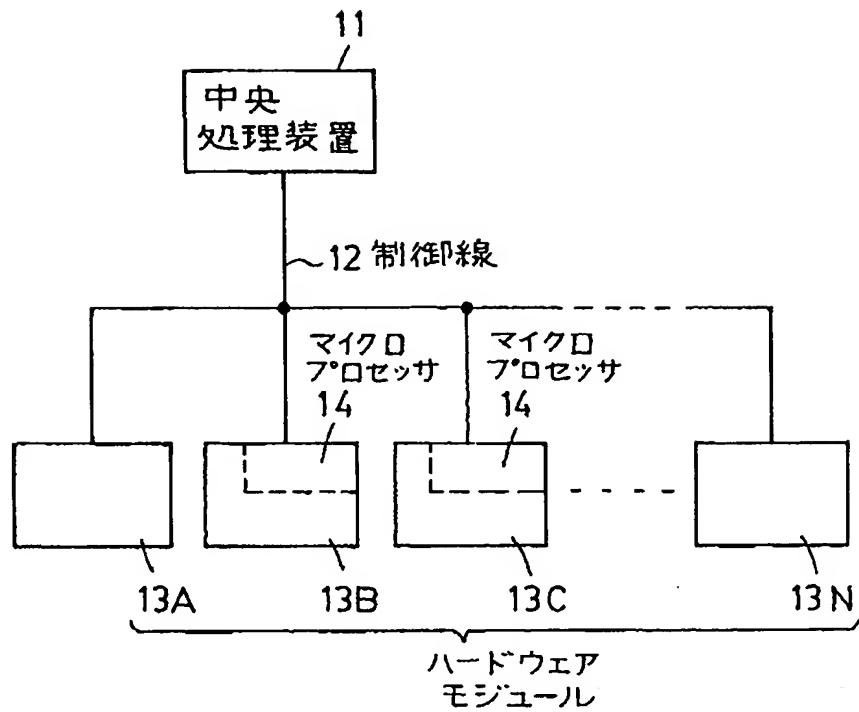
【第2図】



【第3図】



【第4図】



25P3056

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

(57) [Claim(s)]

[Claim 1] The processor of the high order which run commands, such as a setting instruction of the control signal to the input terminal of an examined component and a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of an examined component. The processor of two or more above-mentioned low order is equipped with the general-purpose storage with which the program required to execute the sent above-mentioned instruction was memorized, and also it is small capacity from the general-purpose *****. IC test system equipped with the auxiliary storage unit which is surely written in from a specific address and is performed from the specific address.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

“Field of the Invention”

This invention relates to IC test system which has the distributed architecture which has a layered structure.

“Prior art”

Fig. 4 is drawing showing the example of a configuration of the conventional IC test system. A central processing unit 11 controls all the test actuation for the program the test sequence which examines an examined component was described to be being stored in storage (not shown), being constituted so that a central processing unit 11 may read and carry out sequential execution of the test program from storage, for example, examining a semiconductor memory component by IC test system.

Hardware modules 13A, 13B, 13C-13N are connected to the central processing unit 11 through the control line 12, and the control signal which a central processing unit 12 follows on performing by decoding a test program, and outputs is supplied to these hardware modules 13A, 13B, 13C-13N.

That control signal is a control signal for supplying the direct current signal of 5.25V to the predetermined input terminal of for example, an examined component, and if this control signal is supplied, hardware module 13A will supply the direct current signal of 5.25V to the input terminal with which the examined component was specified, for example.

Moreover, it is the control signal which orders it for the control signal which a central processing unit 11 outputs to measure a signal, and it will connect with the output terminal as which the examined component was specified, and hardware module 13B will measure that signal level, if this control signal is supplied in order to measure direct current voltage for example.

As for the hardware modules 13A, 13B, 13C-13N, such as this, the microprocessor 14 may be incorporated. When a test circuit is constructed only by the general-purpose logical element, even if it needs the logical element of the huge number, the circuit board can be constituted small by constructing many parts of a logical circuit by the microprocessor 14. The microprocessor 14 in this case is substitution of a mere logical element, only carries out sequence control for which it opted beforehand, and the usage for which a complicated judgment function is needed does not make it general.

“The trouble which invention tends to solve”

While a central processing unit outputs the control signal for performing decode of a program, and activation, i.e., the trial of an examined component, to a hardware module etc., measurement of the signal which an examined component outputs, the judgment of the quality of a measurement result, etc. need to perform all operation control needed for actuation of IC test system.

For example, when a central processing unit supplies the digital data value to a hardware module in supplying the voltage signal described by the test program to an examined component, or measuring the output signal of an examined component, the amendment conversion of the obtained measured value are carried out if needed, and as compared with a predetermined judgment table, a quality may be judged or it may rank.

Therefore, time amount of data processing which a central processing unit needs cannot become long, and cannot gather the test period of a test system easily.

Moreover, when carrying out processing special to emergency while performing the predetermined program stored in storage, special processing can be carried out, if the extraordinary processing program is written in storage and activation of a central processing unit is moved to the written-in extraordinary program. However, a control step complicated for carrying out such extraordinary processing is needed, and processing effectiveness is also bad. Moreover, since a test period will become slow if you leave all system controls to one set of a central processing unit in IC test system, the distributed processing system constituted using two or more processors can also be considered. When a certain processor, for example, a main processing unit, makes other processors perform an emergency-program, writing and an object processor can constitute the extraordinary-like program from such a distributed-processing process defined system in the storage attached to shared memory equipment or an object processor so that the written-in program may be read and performed. Even in this case, after activation of an object processor moves from that extraordinary program to the field as for which storage is vacant to writing and its written-in program and activation is completed, it is necessary to pass through a complicated control step so that it may say that it returns to activation of the original control program again, and there is a problem that the performance of extraordinary processing falls.

“The means for solving a trouble”

IC test system of this invention The setting instruction of the control signal to the input terminal of an examined component, The processor of the high order which run commands, such as a conversion command of the output signal from the output terminal of an examined component, read the test program recorded per line per line, and sends the read instruction to the processor of two or more low order, The program according to the above-mentioned instruction of the various control thru/or processing needed for executing the instruction sent from the processor of the above-mentioned high order is read. The processor of two or more above-mentioned low order performed to two or more hardware modules, It responds to control thru/or processing of the above-mentioned low order from a processor. Connect a test signal to an examined component, or It consists of two or more above-mentioned hardware modules which measure the output signal of two or more-ed components. The processor of the low order of the above-mentioned plurality is equipped with the general-purpose storage with which the program required to execute the sent above-mentioned instruction was memorized, and also it is small capacity from the general-purpose storage, and is equipped with the auxiliary storage unit which is surely written in from a specific address and is performed from the specific address.

“An operation of invention”

According to the configuration of this invention, the processor of a high order controls activation **** in the line unit of a test program, and actual decode and activation of a program line are performed by two or more processors of dedication distributing.

Furthermore, according to the configuration of this invention, while a low-ranking processor performs a predetermined control program, it is possible to make it change into temporary or provisional program execution efficiently.

“Example”

Fig. 1 is a block diagram showing the example of a configuration of IC test system of this invention. The processor 21 of the high order which controls activation **** of the test program by which IC test system is stored in storage by this example, The processors 23A, 23B, 23C-23N of two or more low order which carries out actual activation of a program line to the processor 21 like besides under that control through a control bus 22, It consists of hardware modules 25A, 25B, 25C-25N controlled by the processors 23A, 23B, 23C-23N of low order, such as this, through the control lines 24A, 24B, 24C-24N hierarchical.

That is, as for the test program which examines an examined component, an experimental procedure is described per line, and a host processor 21 controls activation **** for the test program about read-out and its read program line one by one from storage per line.

The processors 23A, 23B, 23C-23N of two or more low order are connected to the processor 21

like besides, and actual activation of the program line which decided whether a host processor 21 would perform the program line read while seeing the test condition of an examined component, and determined activation **** is left for processors [which were connected to low order / 23A, 23B 23C-23N] any being.

Each low-ranking processors 23A, 23B, 23C-23N are processors of dedication suitable for controlling the test signal to an examined component, have an instruction word system convenient to access hardware modules [which are connected to each / 25A, 25B, 25C-25N] either, or to change a test condition (connection of a terminal and condition of a measuring instrument) etc., and are macro-instruction-ized. Therefore, it is constituted so that the processing speed of a number decade may be obtained, rather than a host processor 21 carries out the same processing directly to hardware modules 25A, 25B, 25C-25N using its instruction word system.

If each low-ranking processors 23A, 23B, 23C-23N are entrusted with activation of a program line from the processor 21 of a high order, they will decode the program line and will start activation of a program line. That is, each processors 23A, 23B, 23C-23N hold the control program with which the procedure which outputs and inputs the test signal to an examined component was described to storage 27, read the control program from storage 27 by the decode result of the given program line, and perform the procedure which carries out input/output control of the signal described by the program line.

Moreover, each processors 23A, 23B, 23C-23N It not only performs the program line which received request of activation from the host processor 21 as it is, but decode a program line and it receives the decode result. The functional conditions to which information is beforehand given to the examined component, for example, the minimum clock width of face, Check an input condition, timing relationship, or prohibition conditions, give the mistaken input signal or It is also carrying out carrying out control which outputs a stimulus to an examined component or measures an output signal, judging that it does not lapse into a signal state which causes breakage of an examined component greatly.

On the other hand, the control signal accompanying activation of an each low-ranking processors [23A 23B, 23C-23N] program line is supplied, and each hardware modules 25A, 25B, 25C-25N can measure the signal from an output terminal with which the test signal was outputted or the examined component was specified to the input terminal with which the examined component was specified.

These hardware modules 25A, 25B, 25C-25N may contain the microprocessor 26. This microprocessor 26 performs the decided sequence which is what replaced many logical elements and does not have the need smoothly in complicated decision. A general-purpose processor is used, that actuation is programmed beforehand, and this microprocessor 26 can control I/O of the signal over an examined component by the instruction from Processors 23A, 23B, 23C-23N. As mentioned above, all the experimental actual processings to an examined component are performed under control of the processor 21 of a high order, and as for each low-ranking processors 23A, 23B, 23C-23N, the execution control of an each low-ranking processors [23A 23B, 23C-23N] program line, collection of an experimental quality judging result, etc. control the processor 21 of a high order so that the whole IC test system operates organically.

In this invention, furthermore, to each low-ranking processors 23A, 23B, 23C-23N To the others which are the storage 27A, 27B, 27C-27N with which the control program for actually decoding the program line given from the processor 21 of a high order, and performing it is stored Auxiliary storage units 28A, 28B, 28C-28N are formed, respectively, and it is constituted so that an emergency-program can write in each [these] auxiliary storage units 28A, 28B, 28C-28N from the processor 21 of a high order.

Fig. 2 is a block diagram showing the example of the important section of this invention. The general-purpose storage 27 and an auxiliary storage unit 28 are formed in the low-ranking processor 23. It faces performing the program line given from the processor 21 of a high order, and the control program for controlling hardware modules 25A, 25B-25N is stored, another side and an auxiliary storage unit 28 are the storage of small capacity, and the emergency-program for changing control by the control program etc. is temporarily stored in the general-purpose

storage 27. The extraordinary program is supplied from the processor 21 of a high order through a control bus 22, and it is constituted so that it can write in from the specific address of an auxiliary storage unit 28, for example, the 0th street.

The low-ranking processor 23 reads and performs an extraordinary program from the specific address of an auxiliary storage unit 28, for example, the 0th street. Therefore, since a low-ranking processor does not have to carry out evacuation, new address selection, etc. of the address and can move to extraordinary program execution immediately in order to perform this extraordinary program, it is possible to perform promptly modification control by the low-ranking processor 23.

Fig. 3 A is drawing showing the flow chart of the extraordinary processing by this invention. That is, the processor 21 of a high order does not need to look for the address of the writing place of the extraordinary-like program, and writes in the extraordinary-like program from **:head address (0th street) to the auxiliary storage unit 28 which the processor 23 of the target low order holds.

** : if predetermined writing is completed, direct activation of extraordinary processing to the low-ranking processor 23.

The extraordinary rewriting function of this program can perform the trial to an examined component optionally also in activation. A test may be advanced changing a test condition etc. according to the situation of the examined component under trial. For example, it can be made to correspond by writing the program changed according to the measured value in an auxiliary storage unit 28 to define the following test condition according to the measured value obtained during test actuation. Moreover, in some cases, I want to change the test condition over an examined component for every number of unit of a certain, for example. Even in such a case, the special trial distinguished from others can be imposed by writing in the program changed only when examining the examined component of the predetermined number.

On the other hand, the flow chart which carries out extraordinary processing in case the auxiliary storage unit 28 is not formed comes to be shown in Fig. 3 B. That is, in order to know whether the processor 21 of a high order should just write the extraordinary-like program in the field of general-purpose storage 27 throat, a memory management routine is called and performed. Namely, **: Look for the empty memory area left behind to the general-purpose storage 27 in the memory management routine.

** : set up the assigned address.

** : write the extraordinary-like program in the general-purpose storage 27, carrying out stepping of the address.

** : if predetermined writing is completed, an effective address will be transmitted to the low-ranking processor 23, and direct activation of extraordinary processing.

As mentioned above, if the auxiliary storage unit 28 of this invention is formed, it is clear also by comparison in two flow charts that the change of control of IC test system can carry out easily and efficiently.

Moreover, a control program can be changed, or according to the configuration of this invention, an alteration program can be easily written in an auxiliary storage unit from the processor of a high order also carrying out that debugging, and there is also an advantage whose debugging in the real time is moreover attained.

“Effect of the invention”

As explained above, according to this invention, the processor of a high order controls activation **** of a program line chiefly, and takes the configuration by the layered structure performed by distributing actual activation of a program line to two or more low-ranking processors. While aiming at improvement in processing speed by such distributed architecture, the optimal instruction word system is used for every hierarchy, processing until a control signal is outputted becomes early very much, and test actuation to an examined component can be made into a high speed.

Moreover, according to the configuration of this invention, modification of test processing according to that situation can be enabled during activation of the trial to an examined component, without reducing most test periods, and the trial to an examined component can be

performed at a high speed.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

The flow chart of this invention concerning [the block diagram showing / 1 / the example of this invention, drawing showing / 2 / the example of the important section of this invention, and Figs. A and 3 B] extraordinary processing and the conventional flow chart, and Fig. 4 are drawings showing the example of a configuration of the conventional IC test system.

11: A central processing unit, 12:control line, 13:hardware module, 14:microprocessor, the processor of 21:high order; 22:control bus, the processor of 23:low order, 24:control line, 25:hardware module, 26:microprocessor, 27:general-purpose storage, 28 : auxiliary storage unit.

[Translation done.]